

Dialog eLink: Order File History

Semiconductor device e.g. power field effect transistor, has gate insulating film provided at groove so that thickness of film at shoulder portion of groove, is more than that at side walls of groove

Patent Assignee: HITACHI LTD; HITACHI MICON SYSTEM KK; HITACHI ULSI SYSTEMS CO LTD

Inventors: INAGAWA H; MACHIDA N; OISHI K

Patent Family (2 patents, 2 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 2001127072	A	20010511	JP 1999303416	A	19991026	200143	B
			JP 1999303680	A	19991026		
US 6455378	B1	20020924	US 2000695036	A	20001025	200266	E

Priority Application Number (Number Kind Date): JP 1999303416 A 19991026; JP 1999303680 A 19991026

Patent Details

Patent Number	Kind	Language	Pages	Drawings	Filing Notes
JP 2001127072	A	JA	19	45	Division of application JP 1999303416

Alerting Abstract: JP A

NOVELTY - A gate insulating film (8) is provided at a groove (7) in a substrate (1S), so that the thickness of the film at the shoulder portion of the groove is more than that at the side walls of the groove and the thickness of film at the bottom portion of the groove is more than that at the side walls to the groove. A gate electrode (3) is embedded in the groove so that the gate is extended to the surface of the substrate, provides FET formation area.

USE - For e.g. power field effect transistor such as trench power transistor with groove type gate structure.

ADVANTAGE - Improves the setting control of the source area and channel area of the trench power transistor. Reduces capacity between gate and drain electrodes of power transistor to improve switching speed of the transistor. Improves reliability of the transistor by improving voltage resistance characteristics of gate insulation film.

DESCRIPTION OF DRAWINGS - The figure shows the sectional view of semiconductor device and expanded sectional view of gate structure.

1S Semiconductor substrate

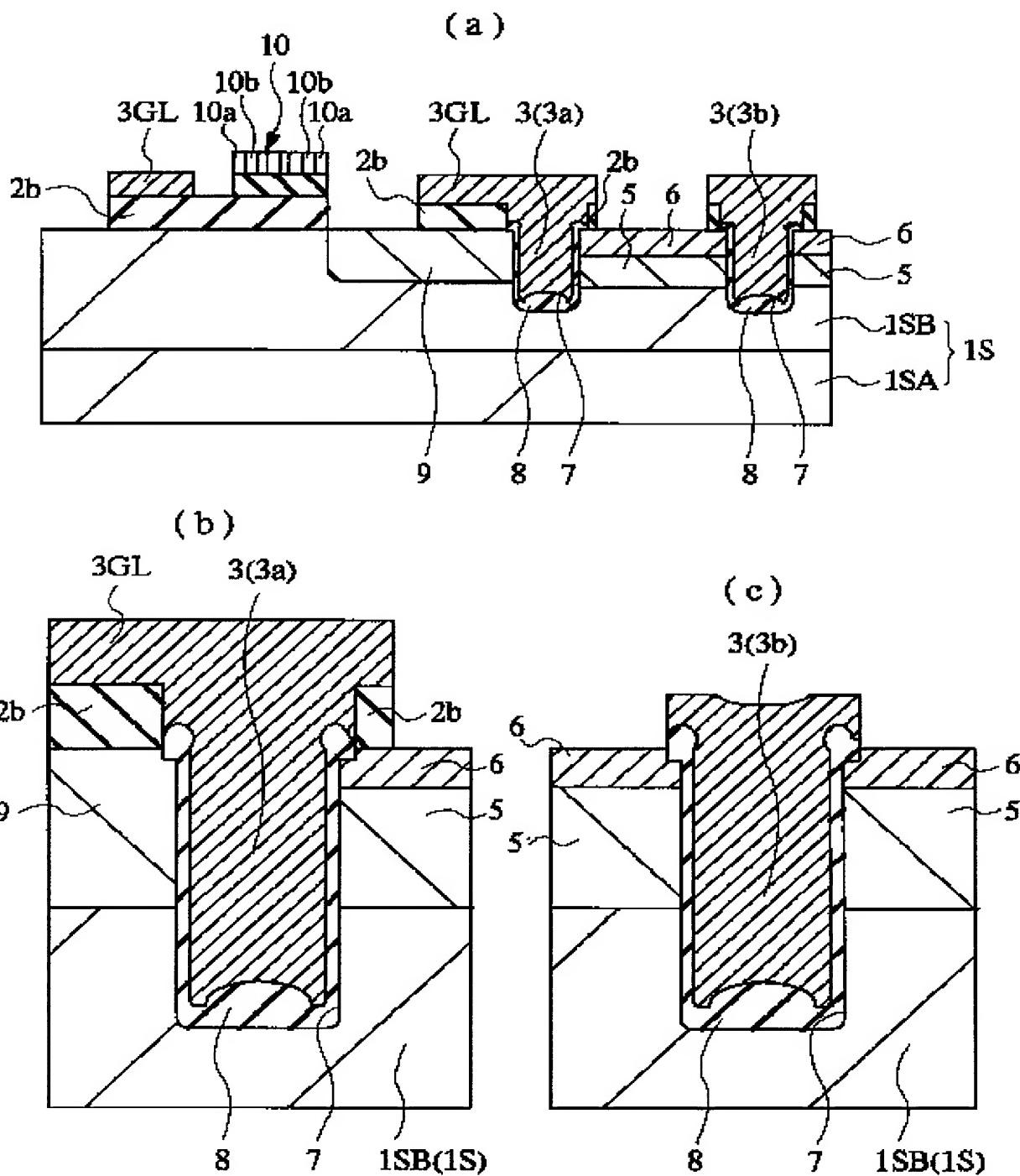
3 Gate electrode

7 Groove

8 Gate insulating film

Main Drawing Sheet(s) or Clipped Structure(s)

17



International Patent Classification

IPC	Level	Value	Position	Status	Version
H01L-0021/336	A	I	L	R	20060101
H01L-0021/336	A	I		R	20060101

Dialog Results

H01L-0029/423	A	N		R	20060101
H01L-0029/78	A	I	F	R	20060101
H01L-0029/78	A	I		R	20060101
H01L-0021/02	C	I	L	R	20060101
H01L-0021/02	C	I		R	20060101
H01L-0029/40	C	N		R	20060101
H01L-0029/66	C	I	F	R	20060101
H01L-0029/66	C	I		R	20060101

US Classification, Issued: 438270000, 438589000, 438981000

Original Publication Data by Authority

Japan

Publication Number: JP 2001127072 A (Update 200143 B)

Publication Date: 20010511

SEMICONDUCTOR DEVICE

Assignee: HITACHI LTD (HITA) HITACHI MICON SYSTEM KK (HITA-N)

Inventor: INAGAWA HIROMI MACHIDA NOBUO OISHI KENTARO

Language: JA (19 pages, 45 drawings)

Application: JP 1999303416 A 19991026 (Division of application) JP 1999303680 A 19991026 (Local application)

Original IPC: H01L-21/336(A) H01L-29/78(B)

Current IPC: H01L-21/02(R,A,I,M,JP,20060101,20051220,C,L) H01L-21/336
 (R,I,M,JP,20060101,20051220,A,L) H01L-29/66(R,I,M,JP,20060101,20051220,C,F) H01L-29/78
 (R,I,M,JP,20060101,20051220,A,F)

United States

Publication Number: US 6455378 B1 (Update 200266 E)

Publication Date: 20020924

Method of manufacturing a trench gate power transistor with a thick bottom insulator.

Assignee: Hitachi, Ltd., Tokyo, JP (HITA) Hitachi Ulsi Systems Co., Ltd., Tokyo, JP (HISC)

Inventor: Inagawa, Hiroshi, Maebashi, JP Machida, Nobuo, Takasaki, JP Oishi, Kentaro, Takasaki, JP

Agent: Mattingly, Stanger Malur

Language: EN

Application: US 2000695036 A 20001025 (Local application)

Priority: JP 1999303416 A 19991026 JP 1999303680 A 19991026

Original IPC: H01L-21/336(A)

Current IPC: H01L-21/02(R,A,I,M,EP,20060101,20051008,C) H01L-21/336
 (R,I,M,EP,20060101,20051008,A) H01L-29/40(R,N,M,EP,20060101,20051008,C) H01L-29/423
 (R,N,M,EP,20060101,20051008,A) H01L-29/66(R,I,M,EP,20060101,20051008,C) H01L-29/78
 (R,I,M,EP,20060101,20051008,A)

Original US Class (main): 438270

Original US Class (secondary): 438589 438981

Original Abstract: There are formed a gate insulator **8 **and a gate **3 **of a power transistor Q having a trench-gate structure. There are then formed a channel region **5 **and a source region **6 **of the power transistor Q.

Claim: 1. A manufacturing method of semiconductor device, comprising the steps of : * (a) forming a trench in a semiconductor substrate; * (b) forming a gate insulator in said trench so that a trench bottom becomes thicker than a trench side face; * (c) forming a gate in said trench after forming said gate insulator; * (d) implanting impurities for forming a channel region in said semiconductor substrate after forming said gate formation step; and * (e) implanting impurities for forming a source region in said semiconductor substrate after forming said gate formation step; * wherein said step (a) further comprises the steps of: * forming a first insulator on a principal plane of said semiconductor substrate; * forming an opening by removing a formation region for said trench from said first insulator; and * forming said trench by removing a semiconductor substrate exposed from said opening by using said first insulator as a mask; * wherein said method further comprises the step of making said first insulatorprime s opening larger than said trench after said step (a) and before said step (b); and * wherein said step (b) further comprises the steps of: * forming a second insulator on an inner face of said trench; * forming an oxidation-resistant third insulator on a surface of said second insulator; * leaving said third insulator on a side face of said trench by etching back said third insulator; * selectively forming a thick insulator on a region exposed from said third insulator on said semiconductor substrate by applying oxidation treatment to said semiconductor substrate; * removing said third insulator and then removing said second insulator ; and * forming a gate insulator so that a semiconductor substrateprimes principal plane portion exposed from said first insulatorprimes opening and said trench bottom become thicker than a trench side face by applying oxidation treatment to said semiconductor substrate after said step of removing said second insulator, and * said step (c) further comprises the steps of: * depositing a conductor film in said trench and on said semiconductor substrateprime s principal plane; and * forming said gate with a T-shaped cross section by etching back said conductor film.

Derwent World Patents Index

© 2008 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 10787978

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-127072
(P2001-127072A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl.⁷
H 01 L 21/336
29/78

識別記号

F I
H 01 L 29/78テーマコード^{*}(参考)
658 F
652 K
653 A

審査請求 未請求 請求項の数1 O L (全 19 頁)

(21)出願番号 特願平11-303680
(62)分割の表示 特願平11-303416の分割
(22)出願日 平成11年10月26日 (1999.10.26)(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(72)発明者 稲川 浩巳
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(74)代理人 100080001
弁理士 筒井 大和

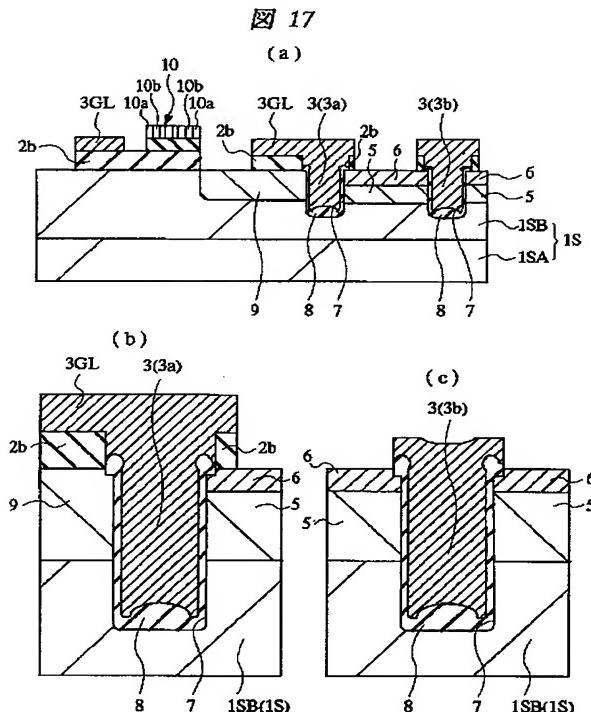
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 トレンチパワートランジスタのソース領域およびチャネル領域の設定制御性を向上させることのできる技術を提供することにある。

【解決手段】 半導体基板に掘られた溝内に、その溝の底部の方が、溝の側面よりも相対的に厚くなるとともに、その溝の肩部の方が、溝の側面よりも相対的に厚いゲート絶縁膜が形成され、その溝内に埋め込まれるとともに半導体基板の主面上に延在するように、ゲート部が形成され、さらに半導体基板に電界効果トランジスタの半導体領域が形成されている構造とした。



【特許請求の範囲】

【請求項 1】 半導体基板に掘られた溝内に、その溝の底部の方が、溝の側面よりも相対的に厚くなるとともに、その溝の肩部の方が、溝の側面よりも相対的に厚いゲート絶縁膜が形成され、その溝内に埋め込まれるとともに半導体基板の主面上に延在するように、ゲート部が形成され、さらに半導体基板に電界効果トランジスタの半導体領域が形成された電界効果トランジスタを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置技術に関し、特に、溝型ゲート構造のパワー電界効果トランジスタ（以下、単にトレンチパワートランジスタともいう）を有する半導体装置技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したトレンチパワートランジスタ技術は、例えば次の通りである。まず、半導体基板の主面に、その主面に交差する方向に延びる溝を形成した後、半導体基板に対してゲート酸化処理を施すことにより、溝の内壁面（底面および側面）にゲート酸化膜を形成する。続いて、半導体基板の主面上に、例えば多結晶シリコン膜を堆積する。この際、溝内に多結晶シリコン膜が埋め込まれるようにする。その後、多結晶シリコン膜をエッチバックすることにより、溝内に多結晶シリコン膜が残るようにしてゲート電極を形成する。

【0003】ところで、電界効果トランジスタの駆動能力向上させるには、ゲート絶縁膜を薄くすることが考えられるが、上記トレンチパワートランジスタにおいて、あまりゲート絶縁膜を薄くすると、溝底部において膜厚が薄くなり耐圧が確保できないという課題やゲート・ドレイン間の容量が増大しトレンチパワートランジスタのスイッチングロスが増大する課題がある。このため、上記技術においては、ゲート絶縁膜の厚さを、上記課題が生じない厚さに合わせて溝の内壁面の全体において比較的厚くしなければならず、トレンチパワートランジスタの駆動能力の向上を阻害する課題がある。トレンチパワートランジスタにおいて溝の底部におけるゲート耐圧の低下を防止する技術については、例えば特開平1-192174号公報に記載があり、トレンチの底部の絶縁膜の厚さを、トレンチの側面の絶縁膜の厚さよりも厚くした構造が開示されている。

【0004】

【発明が解決しようとする課題】ところが、上記公報に開示された技術においては、以下の課題があることを本発明者は見出した。

【0005】すなわち、上記公報に開示された技術においては、トレンチパワートランジスタのソース・ドレイン領域を半導体基板に形成した後に、半導体基板に溝を

掘り、ゲート酸化処理を施しているので、そのソース・ドレイン領域の不純物が、その後の窒化シリコン膜を耐酸化性マスクとした熱処理時等に拡散してしまう課題がある。このため、ソース領域において浅い接合を形成することが困難となるので、トレンチパワートランジスタのチャネル長の設定制御が難しくなる結果、トレンチパワートランジスタの性能が劣化する課題がある。

【0006】本発明の目的は、トレンチパワートランジスタのゲート・ドレイン間容量を低減させることのできる技術を提供することにある。

【0007】また、本発明の他の目的は、トレンチパワートランジスタの駆動能力を向上させることのできる技術を提供することにある。

【0008】また、本発明の他の目的は、トレンチパワートランジスタのゲート絶縁耐圧を向上させることのできる技術を提供することにある。

【0009】また、本発明の他の目的は、トレンチパワートランジスタのソース領域の浅い接合を形成することのできる技術を提供することにある。

【0010】また、本発明の他の目的は、トレンチパワートランジスタのソース領域およびチャネル領域の設定制御性を向上させることのできる技術を提供することにある。

【0011】さらに、本発明の他の目的は、トレンチパワートランジスタの性能を向上させることのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】すなわち、本発明は、半導体基板に掘られた溝内に、その溝の底部の方が、溝の側面よりも相対的に厚くなるようにゲート絶縁膜を形成した後、その溝内にゲート部を形成し、さらに半導体基板に、電界効果トランジスタの半導体領域を形成するための不純物を導入するものである。

【0015】また、本発明は、前記半導体基板の製造工程においては、第1不純物が含有された半導体基体の表面に、前記第1不純物の濃度よりも低くなるように第2不純物が含有されたエピタキシャル層を形成する工程を有するものである。

【0016】また、本発明は、前記ゲート部の不純物濃度は、前記チャネル領域およびソース領域の不純物濃度よりも高いものである。

【0017】また、本発明は、前記半導体基板の主面上に第1絶縁膜を形成した後、その第1絶縁膜において前記溝の形成領域を除去することにより開口部を形成し、

さらにその第1絶縁膜をマスクとして、前記開口部から露出する半導体基板を削ることにより、前記溝を形成する工程を有するものである。

【0018】また、本発明は、前記溝の底部角に丸みをつける工程を有するものである。

【0019】また、本発明は、前記溝の形成工程後、前記ゲート絶縁膜の形成工程前に、前記第1絶縁膜の開口部の寸法が、前記溝の寸法よりも大きくなるようにする工程を有するものである。

【0020】また、本発明は、前記ゲート絶縁膜の形成工程は、(b1)前記溝の内面に第2絶縁膜を形成する工程、(b2)前記第2絶縁膜の表面に耐酸化性を有する第3絶縁膜を形成する工程、(b3)前記第3絶縁膜をエッチバックすることにより、前記溝の側面に第3絶縁膜を残す工程、(b4)前記半導体基板に酸化処理を施すことにより、前記半導体基板において前記第3絶縁膜から露出する領域に選択的に厚い絶縁膜を形成する工程、(b5)前記第3絶縁膜を除去した後、前記第2絶縁膜を除去する工程、(b6)前記第2絶縁膜の除去工程後、前記半導体基板に対して酸化処理を施すことにより、前記第1絶縁膜の開口部から露出する半導体基板の主面上および前記溝の底部の方が溝の側面よりも相対的に厚くなるようなゲート絶縁膜を形成する工程を有し、前記ゲート部の形成工程は、(c1)前記溝内および半導体基板の主面上に導体膜を堆積する工程、(c2)前記導体膜をエッチバックすることにより、断面T字状の前記ゲート部を形成する工程を有するものである。

【0021】また、本発明は、前記酸化処理によりゲート絶縁膜を形成した後、前記ゲート絶縁膜の表面に化学的気相成長法により絶縁膜を堆積する工程を有するものである。

【0022】また、本発明は、半導体基板に掘られた溝内に、その溝の底部の方が、溝の側面よりも相対的に厚くなるとともに、その溝の肩部の方が、溝の側面よりも相対的に厚いゲート絶縁膜が形成され、その溝内に埋め込まれるとともに半導体基板の主面上に延在するよう、ゲート部が形成され、さらに半導体基板に電界効果トランジスタの半導体領域が形成されたものである。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】(実施の形態1) 図1は本実施の形態1のトレンチパワートランジスタを構成する半導体チップ1の平面図、図2は図1の領域Aの拡大平面図、図3は図2のB-B線の部分断面図、図4はトレンチパワートランジスタおよびそれに付随する保護ダイオードを示す回路図をそれぞれ示している。

【0025】半導体チップ1は、例えば平面四角形状に

形成された半導体基板1Sを有している。この半導体基板1Sは、半導体基板1SAと、その上に形成されたエピタキシャル層1SBとを有している。半導体基板1SAは、例えばn'型のシリコン単結晶からなり、エピタキシャル層1SBは、例えばエピタキシャル成長法によって形成されたn'型のシリコン単結晶からなる。このエピタキシャル層1SBは、ソース・ドレイン間の耐圧を確保する機能を有しており、その抵抗値は、例えば0.25~0.36mΩcm程度、厚さは、例えば5μm程度である。このエピタキシャル層1SBにおいて、半導体基板1Sの正面(半導体素子が形成された面)の外周近傍には、例えば厚い酸化シリコン膜からなる厚い絶縁膜2aが、その半導体基板1Sの正面の外周に沿って延在されて平面環状に形成されている。その絶縁膜2aの一部において、半導体基板1Sの一つの角部近傍には、例えば平面四角形状に形成された幅広部2a1が絶縁膜2aと一体的に形成されている。

【0026】この厚い絶縁膜2aに囲まれた素子領域には、複数の縦型のトレンチパワートランジスタQが配置されている。各トレンチパワートランジスタQは、例えば平面六角形状または扁平八角形状に形成されて規則的に並んで配置されており、ゲート部3(3a, 3b)と、ドレイン領域4と、その上のチャネル領域5と、その上のソース領域6と、溝7と、ゲート絶縁膜8を有するMISFET(MetalInsulator Semiconductor Field Effect Transistor)構造となっている。

【0027】ゲート部3(3a, 3b)は、例えばリンが導入されたn'型の低抵抗ポリシリコンからなり、その不純物濃度は、例えば $3.5 \pm 1.5 \times 10^{20} / \text{cm}^3$ 程度である。すなわち、ゲート部3の不純物濃度は最も薄くても、例えば $2.0 \times 10^{20} / \text{cm}^3$ の濃度はある。ゲート部3の平面形状は、例えば平面格子状に形成されており、その各々のトレンチパワートランジスタQが並列に接続される構造となっている(メッシュゲート構造)。また、本実施の形態1においては、ゲート部3(3a, 3b)の断面形状が、例えばT字状に形成されており、そのうちの半導体基板1Sの正面に対して交差する部分は、半導体基板1Sに掘られた溝7内にゲート絶縁膜8を介して埋め込まれ(トレンチゲート構造)、

半導体基板1Sの正面に平行な部分は、半導体基板1Sの主面上にゲート絶縁膜8を介して形成されている。このようにゲート部3の断面形状をT字状としたことにより、断面形状がI型のゲート部に比較してソース領域6の接合部を浅くすることができ(浅い接合)、トレンチパワートランジスタQの短チャネル化を実現することができるので、トレンチパワートランジスタQの性能を向上させることができとなる。I型のゲートの場合、ゲート部の加工の際に、その上面が半導体基板1Sの正面よりも低くなりゲート部3がソース領域4から外れる、いわゆるソースオフセットが生じることがある。このた

め、それを防止するために半導体基板 1 S の主面に形成されるソース領域 6 の接合部も、ある程度深くする必要性が生じ、浅い接合を阻害する問題がある。ゲート部 3 の断面形状を T 字状とした場合は、ゲート部 3 の上面が常に半導体基板 1 S の主面の上方に位置することになるので、上述の問題が生じない。ゲート部 3 bにおいては上面中央が若干窪むがその窪みが溝 7 に達することがないので、上述の問題が生じない。したがって、ソース領域 6 の浅い接合を実現できる。また、ソース領域 6 の浅い接合を実現できると、トランジスタの性能を向上させることができる理由は、次の通りである。すなわち、トレンチパワートランジスタ Q のチャネル領域 5 はゲート部 3 の側面に形成されており、このチャネル領域 5 を制御良く形成することが必要である。トレンチパワートランジスタ Q の高性能化には、他のデバイスと同様に、短チャネル化が必須である。ところで、そのチャネル長は不純物イオンの打ち込み深さと濃度とで決定されるが、その制御は、ソース領域が浅いほど簡単である。したがって、トレンチパワートランジスタの高性能化はソース領域の浅い接合が必須である。ゲート部 3 は、半導体チップ 1 の外周部近傍において、ゲート配線 3 G L と電気的に接続されている。ゲート配線 3 G L は、ゲート部 3 と一体的に同一材料で構成されており、半導体基板 1 S の主面上の厚い絶縁膜 2 a, 2 b 上に形成されている。

【0028】上記ドレイン領域4は、ゲート部3の底部近傍のエピタキシャル層1SB部分に形成されている。すなわち、ドレイン領域4は、n⁻型の半導体領域によって形成されている。上記溝7は、その底部およびその近傍が、ドレイン領域4に達する程度の深さとなるように形成されている。上記チャネル領域5は、ドレイン領域4の上層であってゲート部3の側面に形成されており、例えばホウ素が導入されてp型に設定されている。チャネル領域5における不純物濃度は、例えば最大で1.0 × 10¹⁷ / cm³程度であり、ゲート部3の不純物濃度に比べて3桁以上薄い。上記ソース領域6は、チャネル領域5の上層であってゲート部3の側面に形成されており、例えばヒ素が導入されてn⁺型に設定されている。本実施の形態1によれば、後述する本発明の半導体装置の製造方法により、チャネル領域5およびソース領域6の範囲設定の誤差が少なく、ソース領域6の浅い接合が実現されている。

【0029】ところで、本実施の形態1においては、溝7内におけるゲート絶縁膜8の厚さが均一ではなく、溝7の底部、すなわち、ドレン領域4側のゲート絶縁膜8および溝7の口部近傍のゲート絶縁膜8の方が、溝7の侧面、すなわち、チャネル領域5側のゲート絶縁膜8よりも厚く形成されている。このようにチャネル領域5側のゲート絶縁膜8を薄く形成することにより、トレンチパワートランジスタQの駆動能力を向上させることができる。また、ドレン領域4側のゲート絶縁膜8を

厚く形成することにより、ゲート・ドレイン間容量を低減できるので、高速スイッチングが可能となる。また、断面T字状のゲート部3の構造は、上述のようにソースオフセットを防止でき、ソース領域6の浅い接合を実現できるので歩留まりおよび信頼性を確保する上で有効であるが、断面T字状にしたことでゲート・半導体基板間の容量が増加する。本実施の形態1においてはゲート絶縁膜8を部分的に厚くしたことにより、その容量を低減できるので、高速スイッチングが可能となる。この場

- 10 合、ただ単にゲート絶縁膜8を厚くすると、相互コンダクタンスが劣化し、オン抵抗（ソース・ドレイン間の抵抗）が上昇したり、パンチスルーマージンの低下による量産マージンの減少等の問題が生じる。そこで、本実施の形態1においては、特に溝7の底部のゲート絶縁膜8を厚くすることで、オン抵抗の増大や量産マージンの減少等の問題を生じることなく、上記容量の低減が可能となり、トレンチパワートランジスタの高速スイッチングが可能となる。また、溝7の口部側のゲート絶縁膜8を厚くすることにより、その部分における電界集中を緩和
20 させることができるので、ゲート絶縁耐圧を向上させることができるとなる。さらに、本実施の形態1においては、ゲート絶縁膜8が、例えば厚さ24～30nm程度の熱酸化膜と、その上に堆積された厚さ55～65nm程度のCVD(Chemical Vapor Deposition)膜とによって形成されている。このようにCVD膜を堆積することにより、溝7の底部角のゲート絶縁膜8の被覆性を向上させることができるので、ゲート絶縁膜8の耐圧を確保することができる。なお、半導体基板1Sのエピタキシャル層1SBの上層には、pウエル9が形成され
30 ている。このpウエル9は、例えばホウ素が導入されたり、ゲート部3の終端に印加される電界を緩和する機能を有している。また、上記厚い絶縁膜2の幅広部2a上には、バック・トゥ・バック構造の保護ダイオード10が設けられている。この保護ダイオード10は、例えば低抵抗ポリシリコン膜にn⁺型の半導体領域10aとp型の半導体領域10bとが交互に平面同心環状に形成されてなり、図4に示すように、トレンチパワートランジスタQのゲートとソースとの間に接続され、ソースからゲートへのサージに対してゲート絶縁膜8を保護する機能を有している。
40 【0030】このような半導体基板1Sの主面上には、例えば酸化シリコン膜からなる層間絶縁膜11が堆積されており、これにより、ゲート部3、ゲート配線3GLおよび保護ダイオード10が覆われている。半導体基板1Sの主面の外周近傍には、その外周に沿ってソースガードリングが平面環状に形成されている。このソースガードリングは、半導体基板1Sに形成されたn⁺型の半導体領域と、これと層間絶縁膜11に穿孔されたコンタクトホールを通じて電気的に接続された配線12aとを有している。この配線12aは、層間絶縁膜11上に形

成され、それに穿孔されたコンタクトホールを通じて保護ダイオード 10 の n^+ 型の半導体領域 10 a と電気的に接続されている。また、そのソースガードリングの内側には、ソースガードリングに沿ってゲートガードリング 13 が平面環状に形成されている。ゲートガードリング 13 の一部には、例えば平面四角形状のゲート電極 13 GP が一体的に形成されている。このゲート電極 13 GP は、半導体チップ 1 の一つの角部近傍における上記幅広部 2 a 1 上に形成されている。ゲートガードリング 13 およびゲート電極 13 GP は、層間絶縁膜 11 に穿孔されたコンタクトホール 14 a 等を通じてゲート配線 3 GL と電気的に接続されている。また、ゲートガードリング 13 およびゲート電極 13 GP は、層間絶縁膜 11 に穿孔されたコンタクトホール 14 b を通じて保護ダイオード 10 の n^+ 型の半導体領域 10 a と電気的に接続されている。さらに、ゲートガードリング 13 の内側において層間絶縁膜 11 上には、ソース配線 15 が配置されている。このソース配線 15 は、層間絶縁膜 11 に穿孔されたコンタクトホール 14 c を通じてソース領域 6 と電気的に接続されている。また、ソース配線 15 は、コンタクトホール 14 c の底部から半導体基板 1 S の厚さ方向延びて掘られた孔 16 を通じてチャネル領域 5 の p^- 型の半導体領域 5 a と電気的に接続されている。これは、チャネルとソースを接地するためである。さらに、ソース配線 15 は、層間絶縁膜 11 に穿孔されたコンタクトホール 14 d を通じて保護ダイオード 10 の n^+ 型の半導体領域 10 a と電気的に接続されている。

【0031】なお、上記配線 12 a、ゲートガードリング 13、ゲート電極 13 GP およびソース配線 15 は、例えばアルミニウム、アルミニウムシリコン合金またはアルミニウムシリコン-銅合金からなる。また、ゲート配線 3 GL およびゲートガードリング 13 は、厚い絶縁膜 2 a 上に設けられている。ゲート電極 13 GP は、上記幅広部 2 a 1 上に設けられている。

【0032】このような半導体基板 1 S の主面上には、表面保護膜 17 が堆積されており、これにより、ソースガードリングの配線 12 a、ゲートガードリング 13、ゲート電極 13 GP およびソース配線 15 が覆われている。表面保護膜 17 は、例えば酸化シリコン膜とその上に堆積されたポリイミド樹脂とから構成されている。表面保護膜 17 の酸化シリコン膜は、例えば TEOS (Te traethoxysilane) をソースガスとして用いたプラズマ CVD 法によって形成されている。表面保護膜 17 には、ゲート電極 13 GP およびソース配線 15 の一部が露出されるような開口部が設けられて、ゲート用およびソース用のボンディングパッド BP が形成されている。このボンディングパッド BP には、例えばボンディングワイヤが接続され、これを通じてボンディングパッド BP とパッケージのリード（例えばリードフレームのイン

ナーリード）等とが電気的に接続されるようになっている。また、半導体チップ 1 の裏面には、ドレイン電極 18 が形成されている。ドレイン電極 18 は、例えばニッケル、チタン、ニッケルおよび金が順に積層されてなる。このドレイン電極 18 は、導電性の接着剤によってパッケージのチップ実装領域（例えばリードフレームのダイパッド）に実装され、かつ、電気的に接続される。

【0033】このようなトレンチパワートランジスタを、例えば DC-DC コンバータ回路に適用した場合を

10 図 5 に示す。図 5 (a) は、その DC-DC コンバータ回路の回路図、(b) は DC-DC コンバータ回路を構成する各トレンチパワートランジスタのスイッチ動作の説明図である。測定条件は、例えば次の通りである。入力電圧は、例えば 48 V 程度、出力電圧は、例えば 2 V 程度、動作周波数は、例えば 220 kHz 程度、ゲート・ソース間の電圧は、例えば 7.5 V 程度、デューティ比は、例えば 0.3 程度である。メインスイッチ用のパワー-MISFET QM およびスイッチ用のパワー-MISFET QA, QB が上記トレンチパワートランジスタによって構成されている。メインスイッチ用のパワー-MISFET QM およびスイッチ用のパワー-MISFET QA, QB のスイッチング動作は制御回路 19 によって制御されている。符号 T は降圧用のトランジスト、符号 L はコイル、符号 C はコンデンサを示している。

【0034】入力端子 VIN に印加された上記入力電圧はトランジスト T により、例えば約 7.5 V に降圧される。この時、メインスイッチ用のパワー-MISFET QM はオン状態にある。メインスイッチ用のパワー-MISFET QM がオンの時、フォワード側のパワー-MISFET QA はオン、フライホイール側のパワー-MISFET QB はオン状態にあるため、電流は、電流経路 I1 を通って出力端子 VOUT 側に流れ込む。このとき、コイル L およびコンデンサ C に電力を蓄える。一方、メインスイッチ用のパワー-MISFET QM をオフした時には、スイッチ用のパワー-MISFET QA がオフとなり電流経路 I1 が遮断される。このとき、パワー-MISFET QB がオンとなるが、コイル L によって発生した逆起電力によって電流経路 I2 で電流が流れれる。コンデンサ C は、出力電圧を平滑にするものであり、これらにより、安定な 2 V 程度の電圧が得られる。通常、制御回路 19 は出力端子 VOUT の電圧を感知し、出力の増・低下時にはパワー-MISFET QA, QB のデューティー比を変えることにより、一定の電圧を保持する構成になっている。

【0035】次に、本実施の形態 1 の半導体装置の製造方法を図 6～図 22 によって説明する。なお、図 8～図 16 の各々において (b) は (a) のトレンチパワートランジスタにおけるゲート溝部分の拡大断面図である。

【0036】まず、図 6 に示すように、例えばヒ素が導入された n^+ 型のシリコン単結晶からなる半導体基体 1 SA (この段階では、平面略円形状の半導体ウェハ) の

主面上に、例えば厚さ $5 \mu\text{m}$ 程度の n⁻ 型のシリコン単結晶からなるエピタキシャル層 1 S B をエピタキシャル法によって成長させて半導体基板 1 S (いわゆるエピタキシャルウエハ) を製造する。続いて、その半導体基板 1 S に対して表面酸化処理を施すことにより、例えば厚さ $540 \sim 660 \text{ nm}$ 程度の厚い絶縁膜 2 a を形成した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、厚い絶縁膜 2 a を形成する。厚い絶縁膜 2 a は、LOCOS

(Local Oxidization of Silicon; 選択酸化) 法によって形成することもできる。その後、半導体基板 1 S の主面上にフォトレジスト膜を塗布した後、これを露光処理によってパターニングすることにより、ウエル形成領域が露出し、それ以外が覆われるようなフォトレジスト膜のパターンを形成する。そして、そのフォトレジスト膜のパターンをマスクとして半導体基板 1 S の主面上に、例えばホウ素を導入した後、上記フォトレジスト膜のパターンを除去し、半導体基板 1 S に対して熱拡散処理を施すことによって p ウエル 9 を形成する。その後、半導体基板 1 S に対して熱酸化処理を施すことにより、半導体基板 1 S の主面上に、例えば厚さ $540 \sim 660 \text{ nm}$ 程度の厚い絶縁膜 2 b を形成する。

【0037】次いで、図 7 に示すように、厚い絶縁膜 2 a, 2 b 上にフォトレジスト膜を塗布した後、これを露光処理によってパターニングすることにより、ゲート形成用の溝の形成領域が露出し、それ以外が覆われるようなフォトレジスト膜 20 a のパターンを形成する。続いて、フォトレジスト膜 20 a をエッティングマスクとして、そこから露出する厚い絶縁膜 20 b をエッティング除去した後、そのフォトレジスト膜 20 a を除去する。その後、半導体基板 1 S の主面上に残された厚い絶縁膜 2 a, 2 b をエッティングマスクとして、そこから露出する半導体基板 1 S 部分をドライエッティング法によってエッティング除去することにより、図 8 (a), (b) に示すように、溝 7 を形成する。そして、その後、半導体基板 1 S に対してシリコン等方性エッティングを施すことにより、溝 7 の底部の角を取り滑らかにする。これは、溝 7 の底部角近傍に電界が集中するのを抑制または防止するためである。この際、溝 7 の幅は、厚い絶縁膜 2 b の開口部の幅よりも僅かに広い程度である。溝 7 の深さは、p ウエル 9 よりは深く、エピタキシャル層 1 S B の底部よりは浅い寸法であり、例えば $1.4 \mu\text{m}$ 程度である。

【0038】次いで、半導体基板 1 S に対して洗浄処理を施す。この際、厚い絶縁膜 2 a, 2 b の一部が除去される結果、図 9 (a), (b) に示すように、厚い絶縁膜 2 b の開口部の幅が、溝 7 の幅よりも広くなる。続いて、半導体基板 1 S に対して熱酸化処理を施すことにより、例えば厚さ 1000 Å 程度の酸化シリコン膜からなる絶縁膜 21 を溝 7 の内壁面 (側面および底部) および厚い絶縁膜 2 b の開口部から露出する半導体基板 1 S の

主面上に形成する。その後、溝 7 内を含む半導体基板 1 S の主面上に、例えば厚さ 500 Å 程度の窒化シリコン膜からなる耐酸化性絶縁膜 22 を CVD 法によって堆積する。その後、その耐酸化性絶縁膜 22 を、例えば塩素ガスと酸素ガスとを用いた異方性のドライエッティング法によってエッチバックすることにより、図 10 (a),

(b) に示すように、溝 7 および厚い絶縁膜 2 b の開口部の側面のみに耐酸化性絶縁膜 22 を残し、溝 7 の底部および肩部から絶縁膜 21 を露出させる。

【0039】次いで、半導体基板 1 S に対して洗浄処理を施した後、熱酸化処理を施すことにより、図 11

(a), (b) に示すように、耐酸化性絶縁膜 22 を耐酸化マスクとしてそこから露出する部分 (溝 7 の底部および肩部) に厚い絶縁膜 23 を形成する。本実施の形態 1においては、この時点においてチャネル領域やソース領域を形成しておらず、それらを形成する不純物の拡散を考慮する必要がないので、この熱酸化処理に際して高温熱処理が可能である。溝 7 の底部の厚い絶縁膜 23 の厚さは、例えば 9000 Å である。続いて、耐酸化性絶縁膜 22 を、例えば熱リリン酸等によって図 12 (a),

(b) に示すように除去した後、絶縁膜 21 を図 13

(a), (b) に示すようにエッティング除去する。この際、エッティング量は、厚さ 1000 Å 程度の絶縁膜 21 を除去する量なので、溝 7 の底部および肩部に成長させた厚い絶縁膜 23 はほとんど残される。

【0040】次いで、半導体基板 1 S に対してゲート酸化処理を施した後、例えば酸化シリコン膜からなる絶縁膜を CVD 法等によって半導体基板 1 S の主面上に堆積することにより、図 14 (a), (b) に示すように、溝 7 の内壁面 (側面および底部) および厚い絶縁膜 2 b の開口部から露出する半導体基板 1 S の主面上にゲート絶縁膜 8 を形成する。溝 7 の底部および肩部のゲート絶縁膜 8 の厚さは、他の部分に比べて相対的に厚くなっている。溝 7 の底部のゲート絶縁膜 8 が厚いことにより、ゲート・ドレイン容量を低減でき、高速スイッチング動作が可能となる。溝 7 の肩部のゲート絶縁膜 8 が厚いことにより、溝 7 の肩部におけるゲート絶縁耐圧を向上させることができ、角部に電界が集中することに起因するゲート絶縁破壊を防止または抑制することが可能となる。

溝 7 の側面におけるゲート絶縁膜 8 が薄いので、トレンチパワートランジスタの駆動能力を向上させることができ可能となる。さらに、例えば溝 7 の底部には厚い絶縁膜 23 を形成したことから溝 7 の底部角およびその近傍の絶縁膜の被覆性が劣化することが考えられるが、ゲート絶縁膜 8 を酸化膜と CVD 堆積膜とで形成したことにより、ゲート絶縁膜 8 の被覆性を向上させることができるので、ゲート絶縁耐圧を向上させることができる。続いて、図 15 (a), (b) に示すように、半導体基板 1 S の主面上に、例えば低抵抗ポリシリコン膜からなる導体膜 24 を CVD 法等によって堆積した後、ゲート配

線形成領域を覆い、それ以外を露出させるようなフォトレジスト膜 20 b を形成する。その後、そのフォトレジスト膜 20 b をエッチングマスクとして、導体膜 24 をエッチバックすることにより、図 16 (a) ~ (c) に示すように、溝 7 内にゲート部 3 を形成し、それと一体的に形成されたゲート配線 3 GL を形成する。導体膜 24 の不純物濃度は、例えば $2.0 \sim 5.0 \times 10^{20} / \text{cm}^3$ 程度である。図 16 (b)、(c) は、それぞれ (a) の左右のゲート部 3 の拡大断面図である。

【0041】次いで、半導体基板 1 S の主面上に、例えば低抵抗ポリシリコン膜からなる導体膜を CVD 法等によって堆積した後、これをパターニングすることにより、保護ダイオード形成用の導体膜パターンを形成する。続いて、その導体膜パターンに所定の不純物を導入することにより、 n^+ 型の半導体領域 10 a と p 型の半導体領域 10 b とを交互に平面同心環状に形成して保護ダイオード 10 を形成する。その後、厚い絶縁膜 2 a, 2 b をエッチングすることにより、図 17 (a) ~ (c) に示すように、半導体基板 1 S の主面を露出させる。図 17 (b)、(c) は、それぞれ (a) の左右のゲート部 3 の拡大断面図である。その後、半導体基板 1 S に、例えばホウ素を $1.0 \times 10^{13} / \text{cm}^2$ 程度イオン打ち込みした後、熱拡散処理を施すことにより、チャネル領域 5 を形成する。この際の熱拡散による不純物の引き伸ばし長は、例えば $1.0 \mu\text{m}$ 程度である。このため、チャネル領域 5 の不純物濃度の最大値は、例えば $1.0 \times 10^{17} / \text{cm}^3$ 程度であり、ゲート部 3 の不純物濃度に比べて 3 衍以上薄い。その後、半導体基板 1 S に、例えばヒ素を $5 \times 10^{15} / \text{cm}^2$ 程度イオン打ち込みした後、熱拡散処理を施すことにより、ソース領域 6 を形成する。本実施の形態 1においては、ゲート部 3 を形成した後にチャネル領域 5 およびソース領域 6 を形成するので、チャネル領域 5 およびソース領域 6 を制御良く形成することができる。すなわち、本発明のようにゲート絶縁膜 8 の厚さを部分的に変えるようなプロセスを行う場合においては、そのゲート絶縁膜 8 の形成のために種々の熱処理が施されるので、ゲート部 3 を形成する前にチャネル領域 5 やソース領域 6 を形成してしまうと、チャネル領域 5 やソース領域 6 の深さ（範囲）制御が難しくなる。このため、ソース領域 6 の浅い接合を実現することが難しいことを本発明者は見出した。そこで、本実施の形態 1 では、ゲート部 3 を形成した後に、チャネル領域 5 やソース領域 6 を形成した。

【0042】次いで、図 18 に示すように、半導体基板 1 S の主面上に、例えば BPSG (Boro Phospho Silicate Glass) 膜からなる層間絶縁膜 11 を堆積した後、層間絶縁膜 11 にコンタクトホール 14 a ~ 14 d を形成し、半導体基板 1 S に孔 16 を形成する。続いて、コンタクトホール 14 c および孔 16 から露出する半導体基板 1 S に、例えばホウ素をイオン打ち込みすることに

より、 p^+ 型の半導体領域 5 a を形成する。孔 16 および p^+ 型の半導体領域 5 a の形成方法は後述する。その後、層間絶縁膜 11 上に、例えばチタンタングステンを堆積した後、その上に、例えばアルミニウム、アルミニウムシリコン合金またはアルミニウムシリコン-銅合金をスペッタリング法等によって堆積し、さらに、その積層導体膜を通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ゲート電極 3 GP およびソース配線 15 を形成する。その後、半導体基板 1 S の主面上に、例えば TEOS ガスを用いた CVD 法等によって、例えば酸化シリコン膜からなる絶縁膜を堆積した後、その上に、例えばポリイミド系の樹脂からなる絶縁膜を堆積することにより、表面保護膜 17 を形成する。その後、表面保護膜 17 に、ゲート電極およびソース配線の一部が露出するような開口部を形成してボンディングパッド BP を形成する。さらに、半導体基板 1 S の裏面を研削した後、図 3 に示したように、半導体基板 1 S の裏面に、例えばニッケル、チタン、ニッケルおよび金を蒸着法等によって被着することによりドレイン電極 18 を形成する。

【0043】上記孔 16 および p^+ 型の半導体領域 5 a は、例えば次のように形成する。まず、図 19 に示すように、通常のフォトリソグラフィ技術およびドライエッチング技術によって、層間絶縁膜 11 および半導体基板 1 S にそれぞれコンタクトホール 14 c 1 および孔 16 を形成する。この段階ではコンタクトホール 14 c 1 および孔 16 の直径が同じである。この孔 16 の深さは、チャネル領域 5 に達する程度で、ドレイン領域 4 に達しない程度である。続いて、図 20 に示すように、コンタクトホール 14 c から露出する半導体基板 1 S 部分（すなわち、チャネル領域 5）に、例えばホウ素等からなる不純物を直接イオン打ち込みする。この構成によって p 型の半導体領域 5 a を深く形成することができるので、アバランシェ耐量を向上させることができとなる。この方法によれば、P 層の形成がコンタクトホール形成用のマスクにて出来るため、P 層形成マスクが不要となるため、フォトレジスト膜の塗布、露光、現像およびベーク等のような一連のフォトリソグラフィ工程を 1 回削減できる。その後、図 21 に示すように、層間絶縁膜 11 に孔 16 の周辺のソース領域 6 の上面が露出されるようなコンタクトホール 14 c を全面ウェットエッチング技術によって形成する。その後、図 22 に示すように、半導体基板 1 S 上に、例えばチタンタングステンを堆積した後、その上に、例えばアルミニウム、アルミニウムシリコン合金またはアルミニウムシリコン-銅合金をスペッタリング法等によって堆積し、さらに、その積層導体膜を通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、ソース配線 15 を形成する。本実施の形態 1 においては、コンタクトホール 14 c の底面からソース領域 6 の主面

および溝が露出される構造となる。これにより、ソース配線 15 とソース領域 6 との接触面積を増大させることができるので、それらの間の接触抵抗を低減することができる。

【 0044 】 (実施の形態 2) 本実施の形態 2 においては、トレンチパワートランジスタのゲート絶縁膜およびゲート部の形成方法の変形例を説明する。なお、本実施の形態 2 においては、トレンチパワートランジスタのゲート部形成領域を抜き出した断面図を用いて説明する。

【 0045 】 まず、前記実施の形態 1 の説明において用いた図 6 ~ 図 8 の工程を経た後、半導体基板 1S に対して洗浄処理を施す。この際、本実施の形態 2 においては、図 23 に示すように、厚い絶縁膜 2b の開口部の幅が変わらないようにする。すなわち、図 8 の状態のままとなるようにする。続いて、前記実施の形態 1 と同様に、半導体基板 1S に対して熱酸化処理を施すことにより、溝 7 の内面（側面および底面）に絶縁膜 21 を形成した後、耐酸化性絶縁膜 22 を堆積する。その後、半導体基板 1S に対してエッチバック処理を施すことにより、図 24 に示すように、溝 7 および厚い絶縁膜 2b の開口部の側面に耐酸化性絶縁膜 22 を残し、溝 7 の底面からは絶縁膜 21 が露出されるようにする。

【 0046 】 次いで、前記実施の形態 1 と同様に、耐酸化性絶縁膜 22 をマスクとして、半導体基板 1S に対して熱酸化処理を施すことにより、図 25 に示すように、溝 7 の底面のみに厚い絶縁膜 23 を形成する。続いて、前記実施の形態 1 と同様に、耐酸化性絶縁膜 22 を図 26 に示すように除去した後、前記実施の形態 1 と同様に、絶縁膜 21 を除去するようなエッティング処理を施す。図 27 は、そのエッティング処理後の半導体基板 1S の要部断面図を示している。溝 7 の底部には厚い絶縁膜 23 が残されている。また、厚い絶縁膜 2b の開口部の幅、溝 7 の幅よりも大きくなっている。すなわち、厚い絶縁膜 2b の開口部から半導体基板 1S の主面が露出されている。その後、半導体基板 1S に対してゲート酸化処理を施すことにより、図 28 に示すように、溝 7 の内面（側面および底面）および厚い絶縁膜 2b の開口部から露出された半導体基板 1S の主面上にゲート絶縁膜 8 を形成する。溝 7 の底面には、厚い絶縁膜 23 が残されていたので、相対的に厚いゲート絶縁膜 8 を形成することができる。その後、前記実施の形態 1 と同様に、半導体基板 1S の主面上に、配線形成用の導体膜を堆積した後、これをパターニングすることにより、図 29 に示すように、ゲート部 3 およびゲート配線 3GL を形成し、さらに、図 30 に示すように、前記実施の形態 1 と同様にして、半導体基板 1S にチャネル領域 5 およびソース領域 6 を形成する。これ以降は、前記実施の形態 1 と同じなので説明を省略する。

【 0047 】 (実施の形態 3) 本実施の形態 3 においては、トレンチパワートランジスタのゲート絶縁膜および

ゲート部の形成方法の変形例を説明する。なお、本実施の形態 3 においても、トレンチパワートランジスタのゲート部形成領域を抜き出した断面図を用いて説明する。

【 0048 】 まず、図 31 に示すように、前記実施の形態 1 と同様に、半導体基板 1S に溝 7 を形成した後、半導体基板 1S に対して熱酸化処理を施すことにより、溝 7 の内面（側面および底面）に絶縁膜 21 を形成する。続いて、耐酸化性絶縁膜 22 を堆積した後、エッチバック処理を施すことにより、図 32 に示すように、溝 7 の

10 内側面に耐酸化性絶縁膜 22 を残し、溝 7 の底面および半導体基板 1S の主面からは絶縁膜 21 が露出されるようになる。その後、前記実施の形態 1 と同様に、耐酸化性絶縁膜 22 をマスクとして、半導体基板 1S に対して熱酸化処理を施すことにより、図 33 に示すように、溝 7 の底面および半導体基板 1S の主面上にそれぞれ厚い絶縁膜 23、2b を形成する。続いて、前記実施の形態 1 と同様に、耐酸化性絶縁膜 22 および絶縁膜 21 を図 34 に示すように除去する。前記実施の形態 1 と同様に、この段階において溝 7 の底部には厚い絶縁膜 23 が残されている。その後、半導体基板 1S に対してゲート酸化処理を施すことにより、図 35 に示すように、溝 7 の内面（側面および底面）にゲート絶縁膜 8 を形成する。溝 7 の底面には、厚い絶縁膜 23 が残されていたので、相対的に厚いゲート絶縁膜 8 を形成することができる。その後、前記実施の形態 1 と同様に、半導体基板 1S の主面上に、配線形成用の導体膜を堆積した後、これをパターニングすることにより、図 36 に示すように、ゲート部 3 を形成し、さらに、図 37 に示すように、前記実施の形態 1 と同様にして、半導体基板 1S にチャネル領域 5 およびソース領域 6 を形成する。これ以降は、前記実施の形態 1 と同じなので説明を省略する。

【 0049 】 (実施の形態 4) 本実施の形態 4 においては、トレンチパワートランジスタのゲート絶縁膜およびゲート部の形成方法の変形例を説明する。なお、本実施の形態 4 においても、トレンチパワートランジスタのゲート部形成領域を抜き出した断面図を用いて説明する。

【 0050 】 まず、前記実施の形態 3 において説明した図 35 までの工程を経た後、配線形成用の導体膜をその上面が平坦になるようにエッチバックすることにより、40 図 38 に示すように、溝 7 内にゲート部 3 を形成する。この段階のゲート部 3 の上面は、半導体基板 1S の主面と一致する程度の高さで、かつ、平坦化されている。続いて、半導体基板 1S の主面上の絶縁膜を図 39 に示すように除去し、半導体基板 1S の主面を露出させた後、半導体基板 1S に対して熱酸化処理を施すことにより、図 40 に示すように、半導体基板 1S の主全面およびゲート部 3 の上部 3 に、例えば酸化シリコン膜からなる絶縁膜 25 (25a、25b) を形成する。この際、ゲート部 3 の不純物濃度が、半導体基板 1S (ここでは特に不純物濃度の低いエピタキシャル層 1SB) の不純物

濃度よりも高いので、増速酸化現象によって、ゲート部3上に形成される絶縁膜25aの膜厚の方が、半導体基板1Sの主面上に形成される絶縁膜25bの膜厚よりも厚くなる。その後、半導体基板1Sに対してドライエッティング処理を施すことにより、ゲート部3上に絶縁膜25aを残し、かつ、半導体基板1S上の絶縁膜25bを除去する。図41は、この処理後の半導体基板1Sの断面図である。

【0051】次いで、図42に示すように、半導体基板1Sの上部を選択的にエッティング除去する。例えばCF4ガス等によるドライエッティング処理を施すことにより、シリコンを酸化シリコン膜に対して選択的に除去する。これにより、半導体基板1Sの正面をゲート部3の上面より下げる。すなわち、ゲート部3の上面が、ソース領域となる半導体基板1Sの正面と同等もしくはそれよりも高くなるようにする。これにより、上記ソースオフセットを防止できるので、ソース領域の浅い接合を実現できる。続いて、半導体基板1Sに対して熱酸化処理を施すことにより、上記エッティング処理によるダメージを除去するとともに、図43に示すように、前記ゲート絶縁膜8、絶縁膜25aを強化する絶縁膜26を形成する。これ以降は、前記実施の形態1と同じなので説明を省略する。

【0052】(実施の形態5) 本実施の形態5においては、前記実施の形態4の変形例を説明する。なお、本実施の形態5においても、トレンチパワートランジスタのゲート部形成領域を抜き出した断面図を用いて説明する。

【0053】まず、前記実施の形態4において説明した図41までの工程を経た後、図44に示すように、ゲート部3上の絶縁膜25aを覆うようなフォトレジスト膜20をパターニングする。続いて、そのフォトレジスト膜20cをエッティングマスクとして、等方性エッティングにより、半導体基板1Sを絶縁膜25aおよびゲート絶縁膜8に対して選択的にエッティング除去する。これにより、図45に示すように、半導体基板1Sの正面をゲート部3の上面よりも下げる。絶縁膜25aは、上記のように増速酸化法等によって形成されているので比較的弱い場合がある。その場合に、半導体基板1Sをエッティング除去すると、エッティングガスがゲート部3に進入し、ゲート部3をエッティング除去してしまう場合がある。そこで、本実施の形態5においては、絶縁膜25aをフォトレジスト膜20cによって保護した状態でエッティング処理を行うことにより、上記問題を生じることがなく、ゲート部3の上面を半導体基板1Sの上面と同等または高く構造とすることができます。したがって、半導体装置の信頼性を向上させることができ、かつ、ソース領域の浅い接合が可能となる。その後、フォトレジスト膜20cを除去した後、前記実施の形態1、5と同様にしてトレンチパワートランジスタを製造する。

【0054】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0055】例えばパワートランジスタ以外にも、トレンチゲート構造を有するIGBT(Insulated Gate Bipolar Transistor)等にも本発明を適用することが可能である。

【0056】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDC-DCコンバータ回路に適用した場合について説明したが、それに限定されるものではなく、他の半導体装置にも適用できる。

【0057】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0058】(1). 本発明によれば、ドレイン領域が形成される溝底部側のゲート絶縁膜の厚さを、チャネル領域が形成される溝側面側のゲート絶縁膜よりも相対的に厚く形成したことにより、トレンチパワートランジスタのゲート・ドレイン間容量を低減させることができとなる。したがって、トレンチパワートランジスタのスイッチング速度を向上させることができる。

【0059】(2). 本発明によれば、チャネル領域が形成される溝側面側のゲート絶縁膜の厚さを、ドレイン領域が形成される溝底部側のゲート絶縁膜の厚さよりも相対的に薄くしたことにより、トレンチパワートランジスタの駆動能力を向上させることができとなる。

【0060】(3). 本発明によれば、ゲート絶縁膜を形成した後に、その表面に化学的気相成長法によって絶縁膜を形成することにより、溝内における絶縁膜の被覆性を向上させることができるので、トレンチパワートランジスタのゲート絶縁耐圧を向上させることができとなる。したがって、トレンチパワートランジスタの信頼性を向上させることができとなる。

【0061】(4). 本発明によれば、ゲート部の上面高さを、半導体基板の正面よりも高くすることにより、ゲート部がソース領域から外れるソースオフセットを防止でき、ソース領域の設定制御を向上させることができるので、トレンチパワートランジスタのソース領域の接合深さを浅くすることが可能となる。したがって、トレンチパワートランジスタの性能を向上させることができとなる。

【0062】(5). 本発明によれば、ゲート部を形成した後に、ソース領域およびチャネル領域を形成するための不純物の導入処理を行うことにより、トレンチパワートランジスタのソース領域およびチャネル領域の設定制御性を向上させることができとなる。このため、トレンチパワートランジスタのソース領域の接合深さを浅くする

ことが可能となる。したがって、トレンチパワートランジスタの性能を向上させることができるとなる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体装置を構成する半導体チップの平面図である。

【図 2】図 1 の領域 A の拡大平面図である。

【図 3】図 2 の B-B 線の部分断面図である。

【図 4】トレンチパワートランジスタおよびそれに付随する保護ダイオードを示す回路図である。

【図 5】(a) は、本発明の技術思想を用いた DC-D
C コンバータ回路の回路図、(b) は DC-D C コンバ
ータ回路を構成する各トレンチパワートランジスタのス
イッチ動作の説明図である。

【図 6】図 1 ~ 図 3 の半導体装置の製造工程中における要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中における要部断面図である。

【図 8】(a) は図 7 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 9】(a) は図 8 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 10】(a) は図 9 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 11】(a) は図 10 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 12】(a) は図 11 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 13】(a) は図 12 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 14】(a) は図 13 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 15】(a) は図 14 に続く半導体装置の製造工程中における要部断面図、(b) は(a) の溝部分の拡大断面図である。

【図 16】(a) は図 15 に続く半導体装置の製造工程中における要部断面図、(b) および(c) は(a) の溝部分の拡大断面図である。

【図 17】(a) は図 16 に続く半導体装置の製造工程中における要部断面図、(b) および(c) は(a) の溝部分の拡大断面図である。

【図 18】図 17 に続く半導体装置の製造工程中における要部断面図である。

【図 19】図 1 ~ 図 3 の半導体装置の孔および半導体領

10

域の製造工程中における要部断面図である。

【図 20】図 19 に続く半導体装置の製造工程中における要部断面図である。

【図 21】図 20 に続く半導体装置の製造工程中における要部断面図である。

【図 22】図 21 に続く半導体装置の製造工程中における要部断面図である。

【図 23】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図 24】図 23 に続く半導体装置の製造工程中における要部断面図である。

【図 25】図 24 に続く半導体装置の製造工程中における要部断面図である。

【図 26】図 25 に続く半導体装置の製造工程中における要部断面図である。

【図 27】図 26 に続く半導体装置の製造工程中における要部断面図である。

【図 28】図 27 に続く半導体装置の製造工程中における要部断面図である。

【図 29】図 28 に続く半導体装置の製造工程中における要部断面図である。

【図 30】図 29 に続く半導体装置の製造工程中における要部断面図である。

【図 31】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図 32】図 31 に続く半導体装置の製造工程中における要部断面図である。

【図 33】図 32 に続く半導体装置の製造工程中における要部断面図である。

【図 34】図 33 に続く半導体装置の製造工程中における要部断面図である。

【図 35】図 34 に続く半導体装置の製造工程中における要部断面図である。

【図 36】図 35 に続く半導体装置の製造工程中における要部断面図である。

【図 37】図 36 に続く半導体装置の製造工程中における要部断面図である。

【図 38】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図 39】図 38 に続く半導体装置の製造工程中における要部断面図である。

【図 40】図 39 に続く半導体装置の製造工程中における要部断面図である。

【図 41】図 40 に続く半導体装置の製造工程中における要部断面図である。

【図 42】図 41 に続く半導体装置の製造工程中における要部断面図である。

【図 43】図 42 に続く半導体装置の製造工程中における要部断面図である。

【図 44】本発明のさらに他の実施の形態である半導体

50

装置の製造工程中における要部断面図である。

【図 4 5】図 4 4 に続く半導体装置の製造工程中における要部断面図である。

【符号の説明】

- 1 半導体チップ
- 1 S 半導体基板
- 1 S A 半導体基体
- 1 S B エピタキシャル層
- 2 a 厚い絶縁膜
- 2 a 1 幅広部
- 2 b 厚い絶縁膜
- 3 ゲート部
- 3 G L ゲート配線
- 4 ドレイン領域
- 5 チャネル領域
- 5 a p⁺型の半導体領域
- 6 ソース領域
- 7 溝
- 8 ゲート絶縁膜
- 9 p ウエル
- 10 保護ダイオード
- 10 a n⁺型の半導体領域
- 10 b p 型の半導体領域
- 11 層間絶縁膜

12 a 配線

13 ゲートガードリング

13 G L ゲート配線

13 G P ゲート電極

14 a ~ 14 d コンタクトホール

15 ソース配線

16 孔

17 表面保護膜

18 ドレイン電極

10 19 制御回路

20 a フォトレジスト膜

21 絶縁膜

22 耐酸化性絶縁膜

23 厚い絶縁膜

24 導体膜

25, 25 a, 25 b 絶縁膜

26 絶縁膜

Q トレンチパワートランジスタ

QM パワー-M I S F E T

20 QA, QB パワー-M I S F E T

T トランジ

C コンデンサ

L コイル

【図 1】

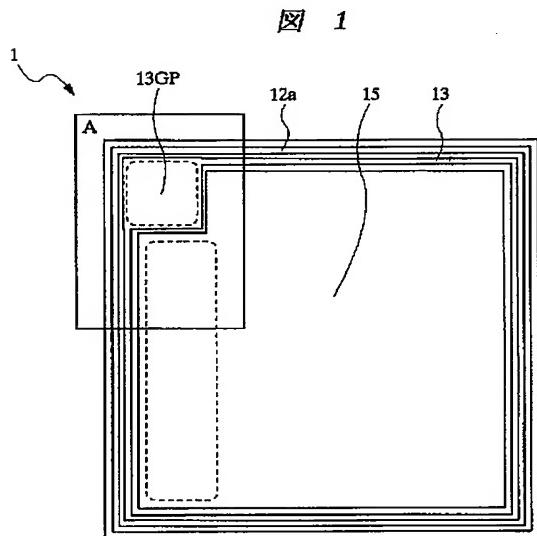
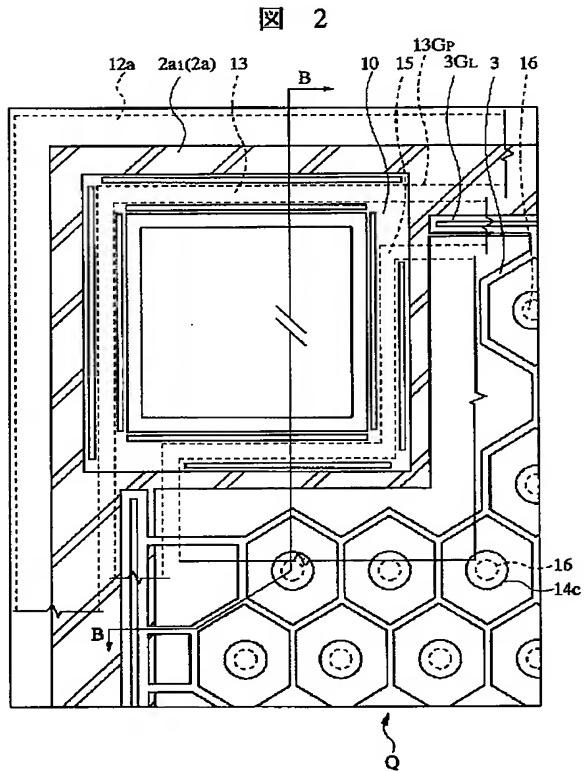
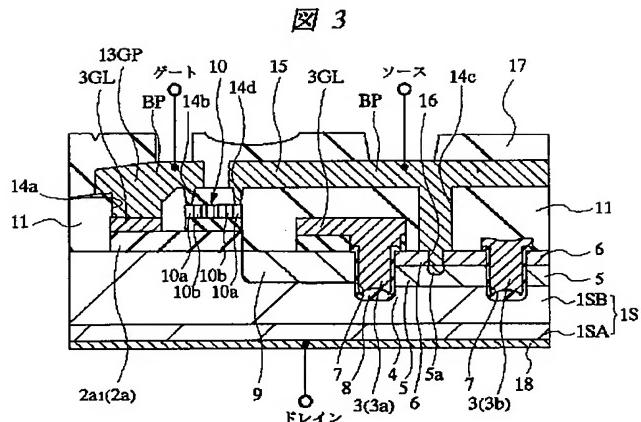


図 1

【図 2】

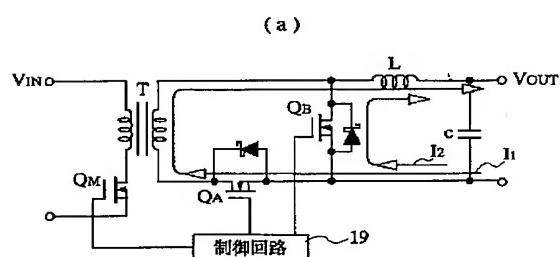


【図3】



【図5】

5

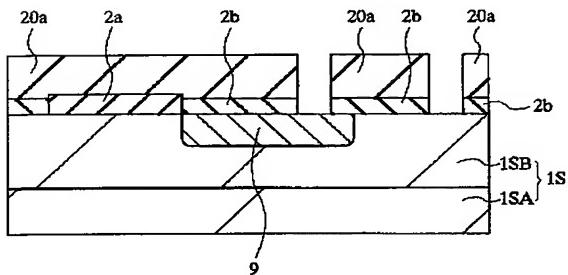


(b)

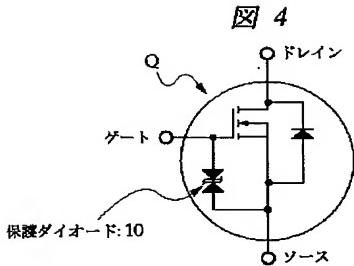
	Q_M	Q_A	Q_B
I ₁	ON	ON	OFF
I ₂	OFF	OFF	ON

[図7]

☒ 7

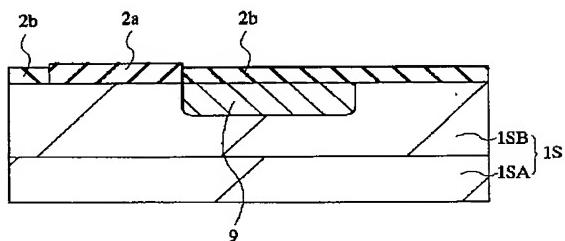


【図4】



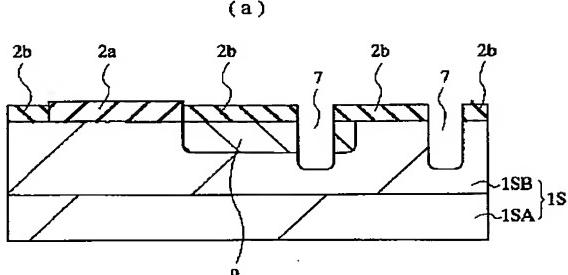
【図6】

图 6

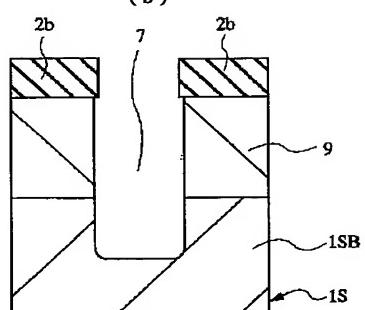


【圖8】

图 8



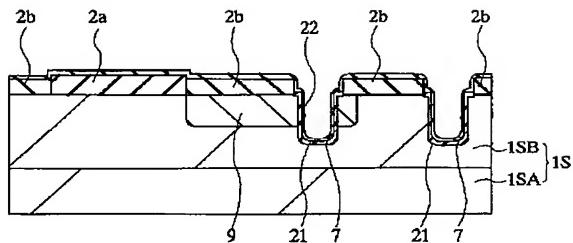
(b)



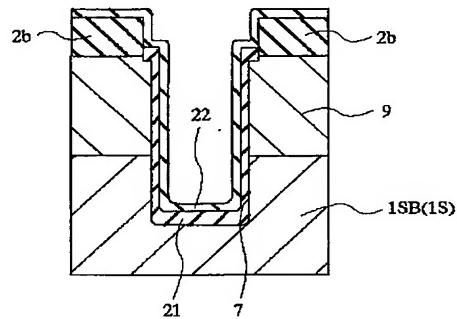
【図 9】

図 9

(a)



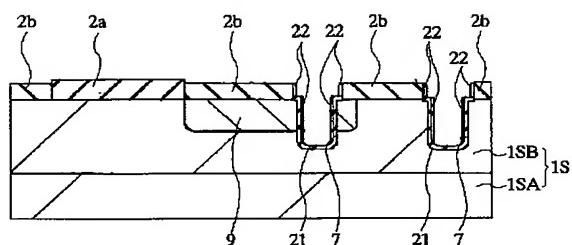
(b)



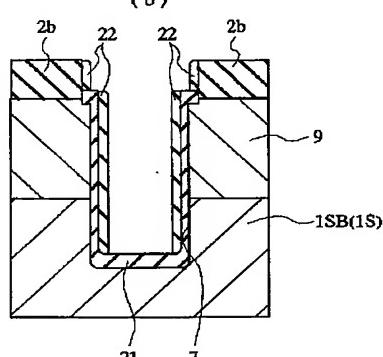
【図 10】

図 10

(a)



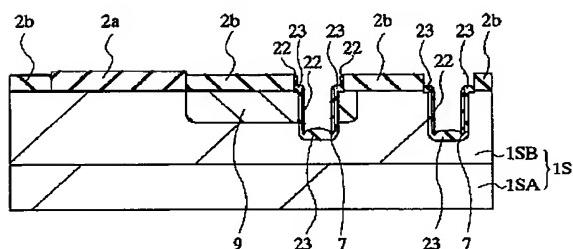
(b)



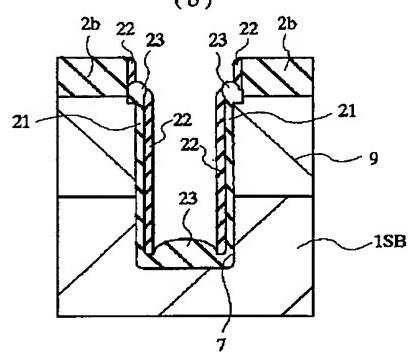
【図 11】

図 11

(a)



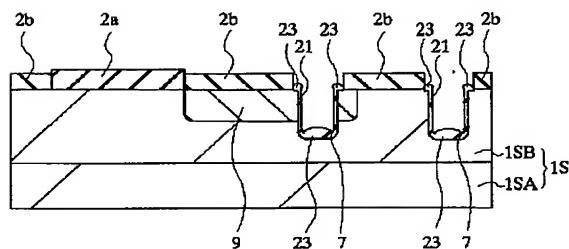
(b)



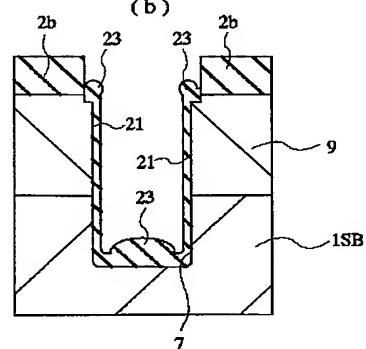
【図 12】

図 12

(a)



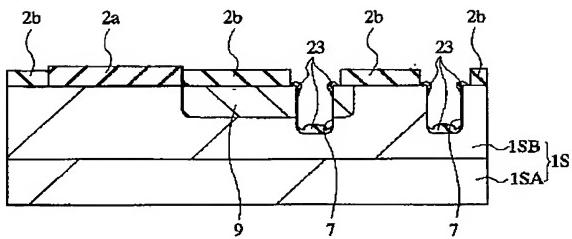
(b)



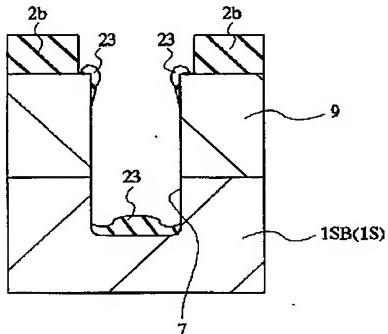
【図 13】

図 13

(a)



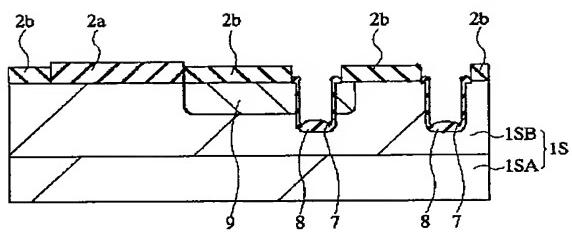
(b)



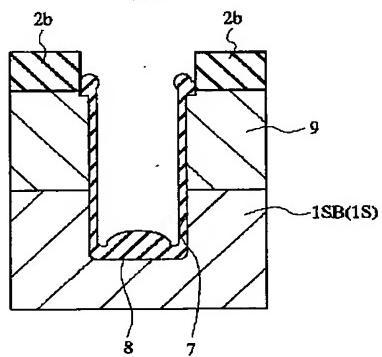
【図 14】

図 14

(a)



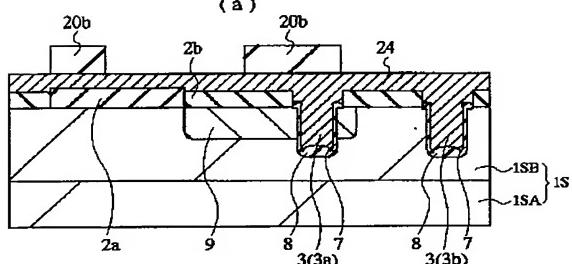
(b)



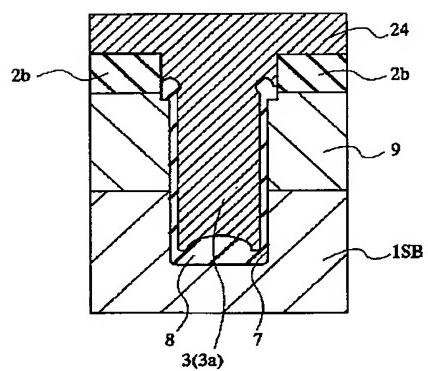
【図 15】

図 15

(a)



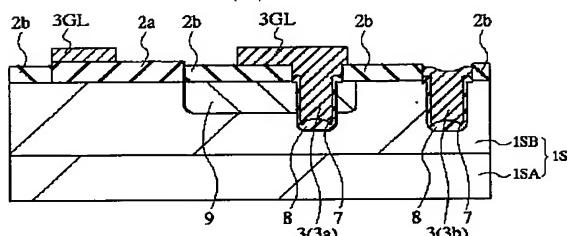
(b)



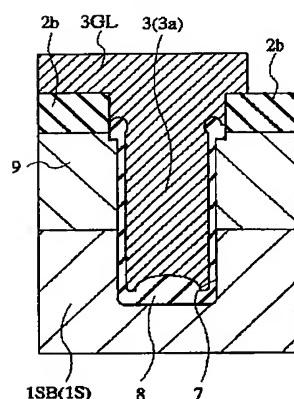
【図 16】

図 16

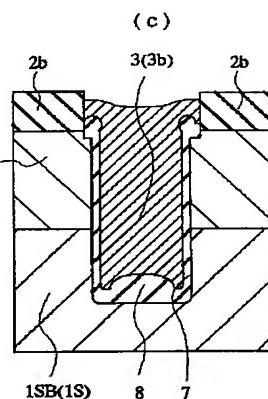
(a)



(b)

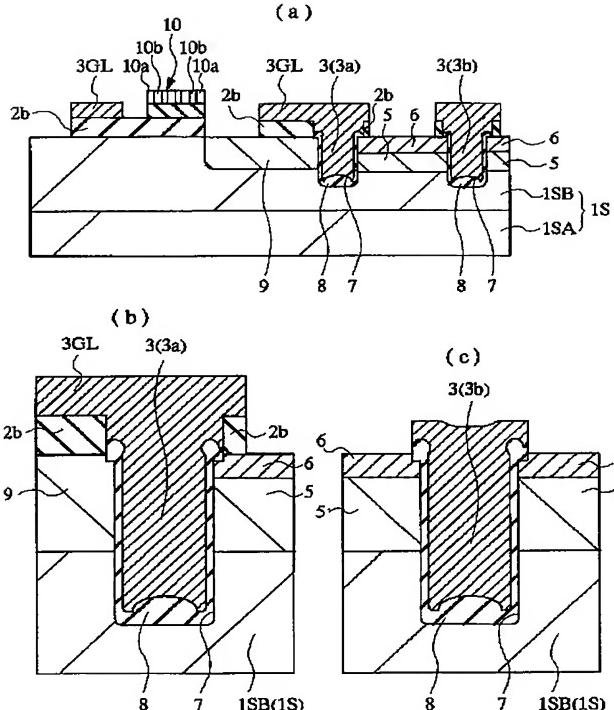


(c)



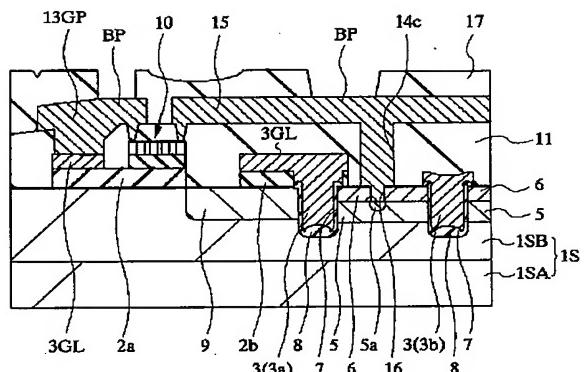
【図 17】

図 17



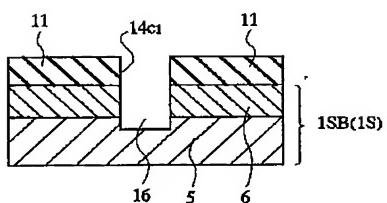
【図 18】

図 18



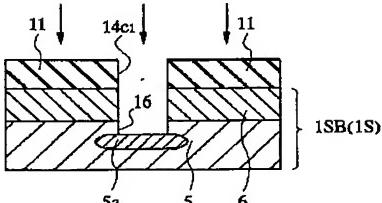
【図 19】

図 19



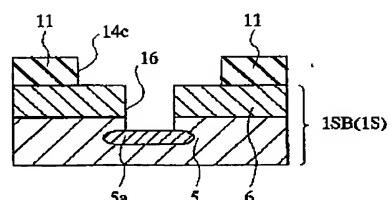
【図 20】

図 20



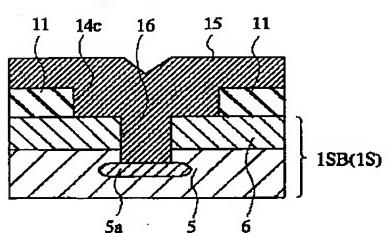
【図 21】

図 21



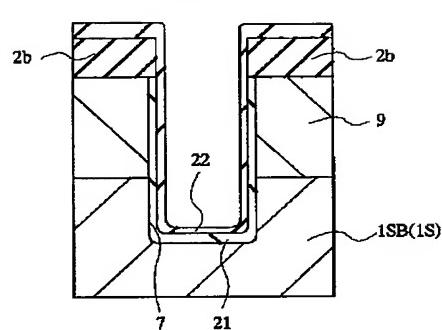
【図 22】

図 22



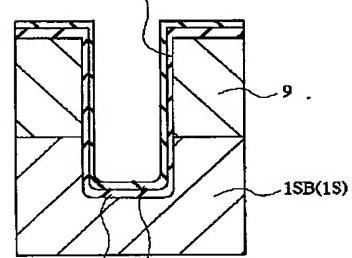
【図 23】

図 23

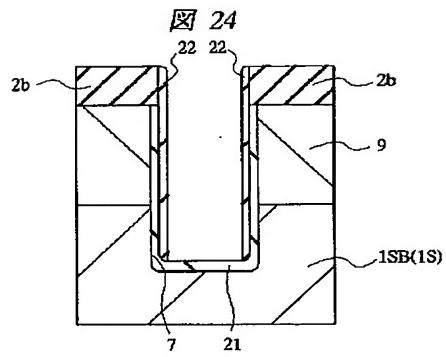


【図 31】

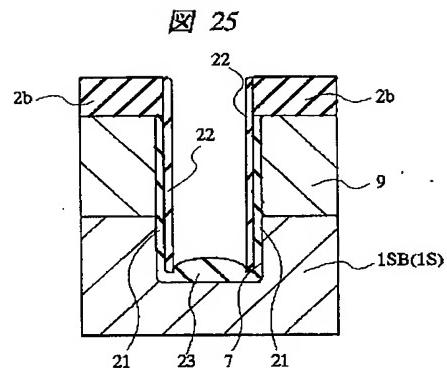
図 31



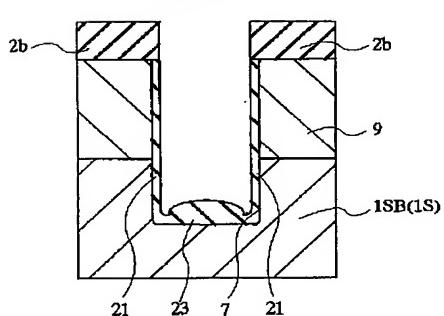
【図 24】



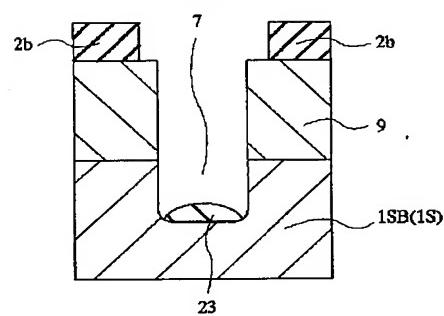
【図 25】



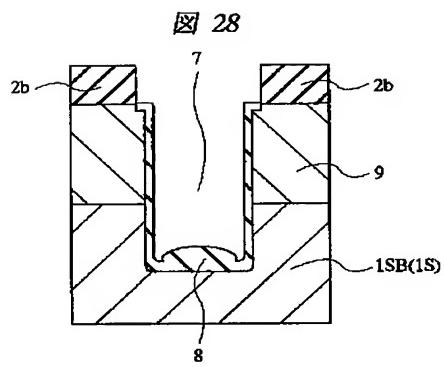
【図 26】



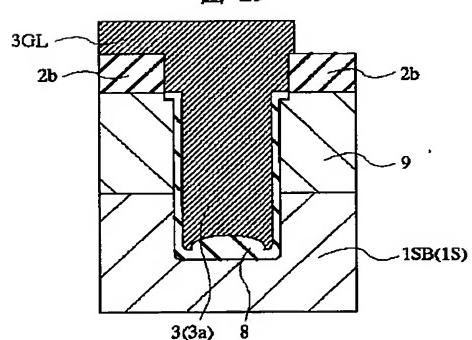
【図 27】



【図 28】

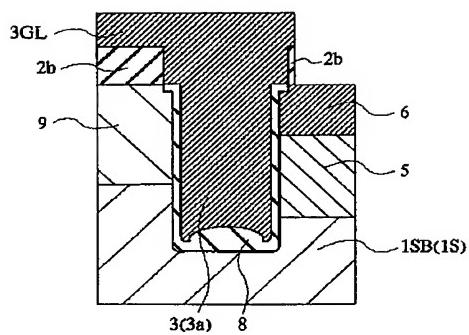


【図 29】



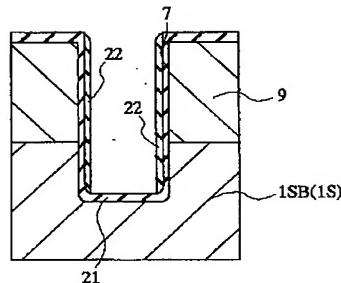
【図 30】

図 30



【図 32】

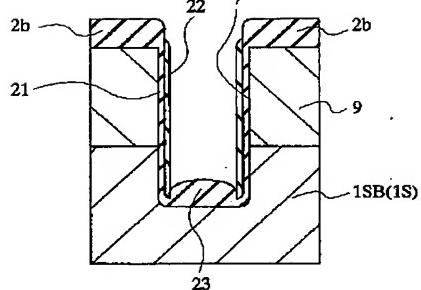
図 32



【図 35】

【図 33】

図 33



【図 34】

図 34

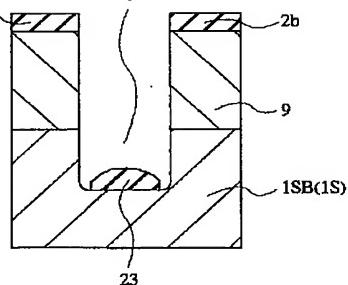
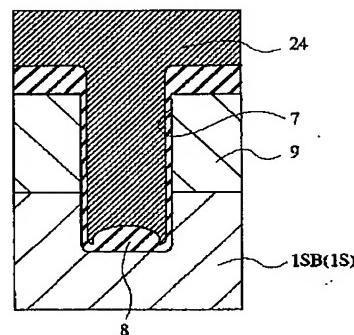
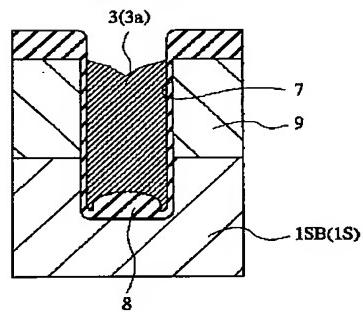


図 35



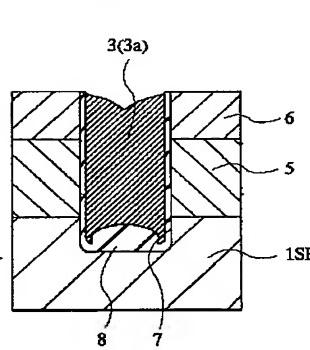
【図 36】

図 36



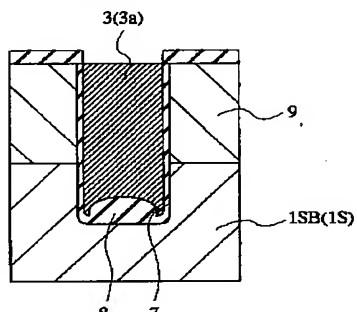
【図 37】

図 37



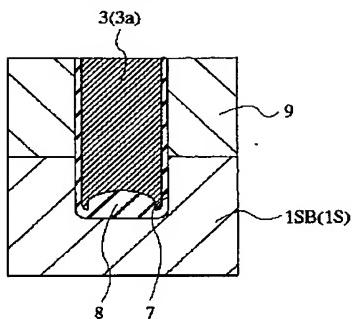
【図 38】

図 38



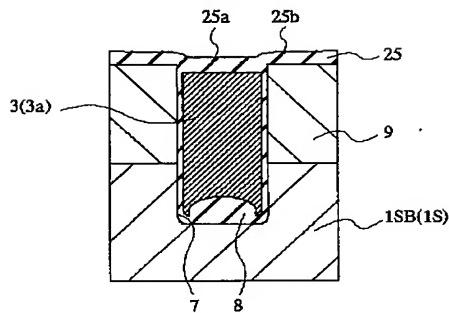
【図 39】

図 39



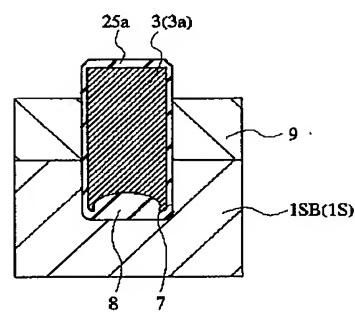
【図 40】

図 40



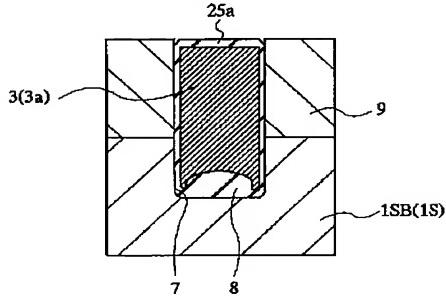
【図 42】

図 42



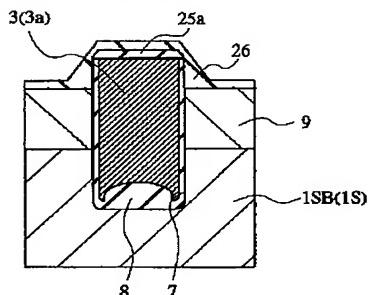
【図 41】

図 41



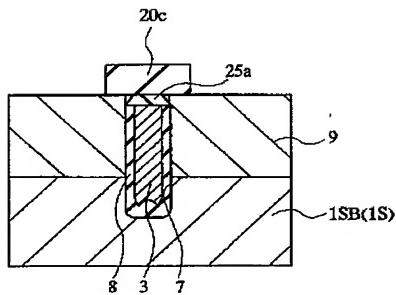
【図 43】

図 43



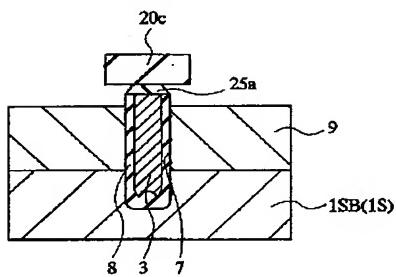
【図 44】

図 44



【図 45】

図 45



フロントページの続き

(72) 発明者 町田 信夫

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 大石 健太郎

東京都小平市上水本町五丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内